Capítulo 3 Perspectiva de alto nivel del funcionamiento y de las

Interconexiones del computador:

Componentes del computador esquema de dos niveles. Figura 3.2---

-1-Procesador o CPU

-Unidad de ejecución

-MBR

-MAR

-E/S AR

-E/S BR

-IR

-PC

-2-Memoria

-Instrucciones

-Datos

-3-Dispositivos de E/S

-Registros

3.4 interconexión con buses

Esquema de interconexión mediante un bus figura 3.16----------

-Línea de datos

-Línea de control

-Línea de direcciones

-Línea de alimentación

-Línea de aislamiento (tierra)

Elementos de diseño de un bus tabla 3.2----

Son 5

1-tipo: Única función o múltiples

-dedicado

-multiplexado

2-método de arbitraje: Como es que trabaja

-Centralizado

-Distribuido

3-temporización: Si usa reloj

-asíncrono

-síncrono

4-Anchura del bus: Más ancho más acceso a direcciones y datos

-Dirección

-Datos

5-tipo de transferencia de datos

-lectura

-escritura

-lectura-modificación-escritura

-escritura-modificación-lectura

-Bloque

Ejemplo de configuraciones de bus----------------

Figura 3.18 Ejemplos de configuraciones con bus

-Arquitectura de bus tradicional

-1-Bus local: siempre al procesador con la cache

-2-Bus de expansión: a través de una interfaz con el bus de sistema

-3-Bus de sistema: siempre a la memoria principal con la cache

-Arquitectura de bus de altas prestaciones

-1-Bus local: siempre al procesador con la cache

-2-Bus de expansión: a través de una interfaz con el bus de alta velocidad

-3-Bus de sistema: siempre a la memoria principal con la cache

-4-Bus de alta velocidad: se conecta a la cache

Capítulo 4 Memoria cache

-Características clave de los sistemas de memoria de computadores---

-1-Ubicación

--Procesador

--Interna

--Externa

-2-Método de acceso

--Secuencial: Cintas

--Directo: Discos duros, CD, DVD, Disquetes

--Aleatorio: Memoria RAM y Cache

--Asociativo: Cache

-3-Capacidad

--Tamaño de palabra

--Tamaño de bloque

-4-Unidad de transferencia

--Bloque

--Palabra

-5-Prestaciones

--Tiempo de acceso: Tiempo de lectura y escritura

--Tiempo de ciclo: Tiempo para realizar una segunda lectura o escritura

--Velocidad de transferencia:Velocidad a la que se transfiere a o desde memoria

-6-Dispositivos físicos

--Semiconductores: ROM,RAM; DRAM,SDRAM,SRAM,DDR DRAM, DDR2 DRAM, RDRAM

--Magneticos: Discos duros, Disquetes, Cintas

--Opticos: CD-ROM, CD-RW,DVD-RW, Bluray

--Magnetico-Opticos: Disco magneto-óptico

-7-Caracteristicas físicas

--Volátil/No volátil: RAM, SRAM, DRAM/ ROM, PROM, EPROM, EEPROM, Memoria flash

--Borrable/No borrable RAM, SRAM, DRAM, EPROM, EEPROM, Memoria flash/ROM, PROM

Jerarquía de memoria----

-Se cumplen las siguientes relaciones en las tecnologías

-Menor tiempo de acceso mayor coste por bit

-Mayor capacidad menor coste por bit

-Mayor capacidad mayor tiempo de acceso

-la pirámide figura 4.1 Jerarquía de memoria

la pirámide te muestra a la izquierda

--en tarjeta impresa

--fuera de tarjeta impresa

--fuera de línea

La pirámide te muestra en la derecha

--en la parte de tarjeta impresa

---registros

---cache

---memoria principal

--en la parte fuera de tarjeta impresa

---dispositivos magnéticos

---CD-ROM, CD-RW, DVD-RW,DVD-RAM

--en la parte de fuera de línea

---Cintas magnéticas

---MO

---WORM

-la ventaja de usar este sistema es que----

--Disminuye el coste por bit

--Aumenta la capacidad

--Aumenta el tiempo de acceso

--Disminuye el acceso a memoria por parte del procesador

-principio de localidad de las referencias

Agrupamiento de las lecturas de memoria por medio de la cpu

Elementos de diseño de la memoria cache

Son 6

-1-Tamaño de la cache:

-2-Función de correspondencia

--Directa: línea a bloque

--Asociativa: cualquier bloque a cualquier línea

--Asociativa por conjuntos: No presenta las desventajas de Directa y Asociativa

-3-Algoritmos de sustitución

--LRU: El menos referenciado por más tiempo

--LFU: El menos frecuentemente usado

--FIFO: Primero en entrar primero en salir

--Aleatorio: Se elige aleatoriamente que bloque se sustituye

-4-Politica de escritura

--Escritura Inmediata

--Post-escritura

--Escritura Única

-5-Tamaño de línea

-6-Numeros de caches

--uno o dos niveles

--unificada o partida

En una estructura de bus en la que más de un dispositivo tiene una cache y la memoria principal es compartida, se dice que mantiene la coherencia de cache:

Entre las posibles aproximaciones tenemos: tres

--Vigilancia de bus con escritura inmediata

--Transparencia de hardware

--Memoria excluida de cache

Según el principio de localidad

--la relación entre tamaño de bloque y tasa de aciertos es compleja, dependiendo de las características de localidad de cada programa particular, no habiéndose encontrado un valor optimo definitivo